

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-010129

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

H04N 5/232

H04N 5/335

H04N 5/765

(21)Application number : 2000-185832

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 21.06.2000

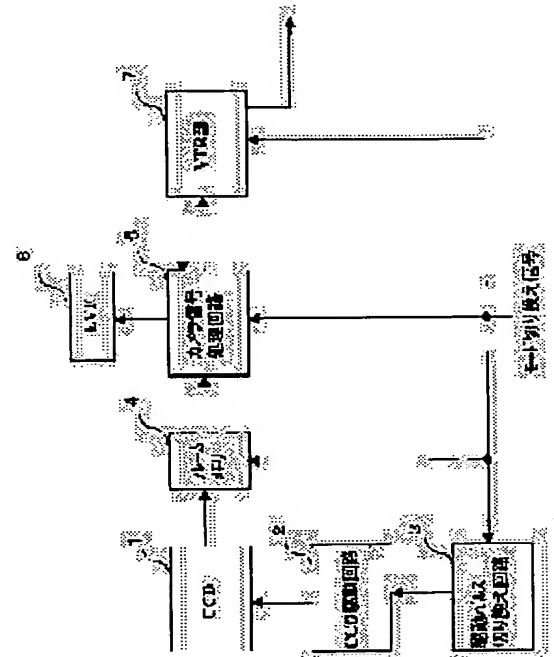
(72)Inventor : ASADA RYOJI
MINE TADAKI
FUKUSHIMA TAMOTSU
NISHIKAWA SHOJI

(54) IMAGE PICKUP APPARATUS INTEGRATING VTR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image pickup apparatus integrating a VTR in which a signal of low frame rate can be displayed in VF and a stabilized multiframe rate can be dealt with.

SOLUTION: The image pickup apparatus integrating a VTR comprises a drive pulse switching circuit 3 for multiplying drive pulses other than a read out pulse by $n/2$ when the mode of a set multiframe is low frame rate, a frame memory 4 for writing in the output signal from a CCD 1 outputted in 1 frame immediately after outputting the read out pulse once every $n/2$ frame and repeating the signal of 1 frame thus read out to read out an $n/2$ frame, a camera signal processing circuit 5 for passing the output signal from the frame memory 4 through a camera process, and a VTR section 7 for recording the output signal from the camera signal processing circuit 5 at the frame rate of a set mode. Display in the VF is facilitated even at the time of low frame rate and the camera is interfaced with the VTR at a common frame rate for a plurality of frame rates by selecting the value of n appropriately.



LEGAL STATUS

[Date of request for examination]

08.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-10129
(P2002-10129A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ト ⁷ (参考)
H 0 4 N	5/232	H 0 4 N	Z 5 C 0 1 8
	5/335		Z 5 C 0 2 2
	5/765	5/782	K 5 C 0 2 4

審査請求 未請求 請求項の数12 O L (全 20 頁)

(21) 出願番号 特願2000-185832(P2000-185832)

(22) 出願日 平成12年6月21日 (2000.6.21)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 浅田 良次

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 峯 忠己

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

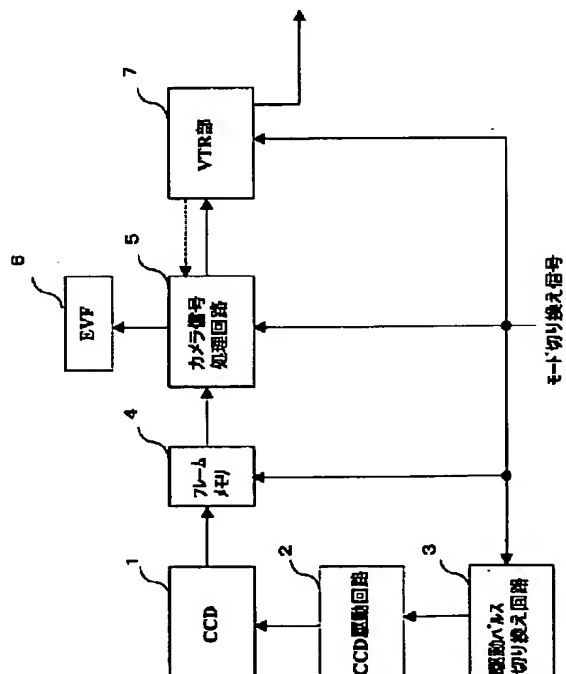
最終頁に続く

(54) 【発明の名称】 VTR一体型撮像装置

(57) 【要約】

【課題】 低フレームレートの信号をVFに表示可能にすると共に、安定したマルチフレームレート対応のVTR一体型撮像装置を提供する。

【解決手段】 設定されたマルチフレームのモードが低フレームレートの時に読み出しパルス以外の駆動パルスを $n/2$ 倍にする駆動パルス切り換え回路3と、 $n/2$ フレームに1回読み出しパルス出力直後の1フレームに出力されるCCD1の出力信号を書き込み、書き込んだ1フレーム分の信号を繰り返して $n/2$ フレーム読み出すフレームメモリ4と、フレームメモリ4の出力信号にカメラプロセスの処理を施すカメラ信号処理回路5と、カメラ信号処理回路5の出力信号を設定モードのフレームレートで記録するVTR部7とを備え、低フレームレート時でもVFに表示し易くすると共に、 n の値を適切に選択し複数のフレームレートを共通のフレームレートでカメラ、VTR間をI/Fするようにする。



【特許請求の範囲】

【請求項 1】 画像の水平、垂直の有効サンプル数と処理クロックレートを変えずに、水平の無効期間のサンプル数を変えることにより画像のフレームレートを変える画像方式において、フレームレートのモードを切り換えるモード切り換え信号により、CCDの駆動パルスを切り換える駆動パルス切り換え回路と、前記駆動パルス切り換え回路より出力される駆動パルスを所定の電圧値に変換し CCD を駆動する CCD 駆動回路と、前記 CCD 駆動回路より駆動されるプログレッシブ走査可能な CCD と、前記 CCD の出力信号を CCD 出力のフレームレートで書き込み、同じレートで読み出すフレームメモリと、前記フレームメモリの出力信号が入力されカメラプロセスの所定の処理を施すカメラ信号処理回路と、前記カメラ信号処理回路から出力される信号をフレームレートのモードに応じて記録、再生する VTR 部とを有し、前記フレームレートのモードが 30 以下の場合に前記駆動パルス切り換え回路が読み出しパルスは設定されたフレームレートに対応して出力し、読み出しパルス以外の駆動パルスは $(n/2)$ 倍 (n は任意の整数) のフレームレートに対応する駆動パルスを出力して前記 CCD を $(n/2)$ 倍速動作させ、前記フレームメモリは $(n/2)$ フレームに 1 回読み出しパルス出力直後の 1 フレームに出力される前記 CCD の出力信号を書き込み、読み出しは書き込んだ 1 フレーム分の信号を繰り返して $(n/2)$ フレーム読み出すようにしたことを特徴とする VTR 一体型撮像装置。

【請求項 2】 フレームレートのモードが 24, 25, 30 の時に駆動パルス切り換え回路が、読み出しパルス以外の駆動パルスをそれぞれ 2 倍 ($n=4$) の 48, 50, 60 のフレームレートに対応する駆動パルスを出力し CCD を 2 倍速動作させ、フレームメモリは 48, 50, 60 の 2 フレーム毎に出力される CCD の出力信号を書き込み、読み出しは 2 フレーム同じ信号を読み出すことを繰り返すようにしたことを特徴とする請求項 1 に記載の VTR 一体型撮像装置。

【請求項 3】 VTR 部へ出力するカメラ信号のフレームレートを複数用意し、VTR 部では各フレームレートの信号に応じて所定のフレームレートに合うように記録スピードを調整して記録すると共に、再生を設定した所定のフレームレートで行うことによって可変速の再生信号を得るようにし、カメラ部においては駆動パルス切り換え回路が前記 VTR 部へ出力する複数のフレームレートの信号を各フレームレートの公倍数の共通フレームレート (m フレーム: m は整数) で出力する為のフレームレート共通化制御回路を有し、読み出しパルス以外の駆動パルスを m フレームレートに対応する駆動パルスにして出力することを特徴とする請求項 1 に記載の VTR 一体型撮像装置。

【請求項 4】 共通フレームレートを 60 または 48 の

2 種類にしたことを特徴とする請求項 3 に記載の VTR 一体型撮像装置。

【請求項 5】 VTR 部の再生信号を、記録時にカメラ信号処理回路から入力された信号のフレームレートと同じ信号形式にするか、記録時にモード選択により設定したフレームレートの信号形式にするかを選択して切り換え出力する再生信号変換回路を VTR 部に備えたことを特徴とする請求項 1 に記載の VTR 一体型撮像装置。

【請求項 6】 VTR 部が再生信号をビューファインダーへ出力する系統と外部へ出力する系統の 2 系統の再生信号変換回路を備え、前記ビューファインダーへ出力する系統の信号は、前記第 1 の再生信号変換回路により記録時にカメラから入力された信号のフレームレートと同じレートで出力し、前記外部へ出力する系統の信号は前記第 2 の再生信号変換回路によりビューファインダーへ出力する信号と同じか、あるいは記録時にモード選択により設定したフレームレートの信号形式で出力するかのどちらかを切り換えて出力するようにしたことを特徴とする請求項 1 に記載の VTR 一体型撮像装置。

【請求項 7】 画像の水平、垂直の有効サンプル数と処理クロックレートを変えずに、水平の無効期間のサンプル数を変えることにより画像のフレームレートを変える画像方式において、フレームレートのモードを切り換えるモード切り換え信号により、CCDの駆動パルスを切り換える駆動パルス切り換え回路と、前記駆動パルス切り換え回路より出力される駆動パルスを所定の電圧値に変換し CCD を駆動する CCD 駆動回路と、前記 CCD 駆動回路より駆動されるプログレッシブ走査可能な CCD と、前記 CCD の出力信号が入力されカメラプロセスの所定の処理を施すカメラ信号処理回路と、前記カメラ信号処理回路から出力されるビューファインダー用の信号を前記カメラ信号処理回路のフレームレートで書き込み、同じレートで読み出す第 1 のフレームメモリと、前記カメラ信号処理回路から出力される VTR 部への信号が入力され前記カメラ信号処理回路のフレームレートで書き込み、前記モード切り換え信号で選択されたフレームレートで読み出す第 2 のフレームメモリと、前記第 2 のフレームメモリより出力される信号をその信号のレートで記録、再生する VTR 部とを有し、前記フレームレートのモードが 30 以下の場合に前記駆動パルス切り換え回路が読み出しパルスは設定されたフレームレートに対応して出力し、読み出しパルス以外の駆動パルスは $(n/2)$ 倍 (n は任意の整数) のフレームレートに対応する駆動パルスを出力して前記 CCD を $(n/2)$ 倍速動作させ、前記第 1 のフレームメモリは $(n/2)$ フレームに 1 回読み出しパルス出力直後の 1 フレームに出力されているビューファインダー用の信号を書き込み、読み出しは書き込んだ 1 フレーム分の信号を繰り返して $(n/2)$ フレーム読み出すようにし、前記第 2 のフレームメモリは $(n/2)$ フレームに 1 回読み出しパルス

出力直後の1フレームに出力されているVTR部への信号を書き込み、読み出しは水平の無効サンプルを増やし($n/2$)フレームかけて、書き込んだ1フレーム分の信号を出力するようにしたことを特徴とするVTR一体型撮像装置。

【請求項8】 フレームレートのモードが24, 25, 30の時に駆動パルス切り換え回路が、読み出しパルス以外の駆動パルスをそれぞれ2倍($n=4$)の48, 50, 60のフレームレートに対応する駆動パルスを出力しCCDを2倍速動作させ、第1のフレームメモリは48, 50, 60の2フレーム毎に出力されるカメラ信号処理回路からのビューファインダー用信号を書き込み、読み出しは2フレーム同じ信号を読み出すことを繰り返すようにし、第2のフレームメモリは48, 50, 60の2フレーム毎に出力されるカメラ信号処理回路からのVTR部への信号を書き込み、読み出しは24, 25, 30のフレームレートで1フレーム分読み出しするようにしたことを特徴とする請求項7に記載のVTR一体型撮像装置。

【請求項9】 VTR部の再生信号を、カメラ信号処理回路から出力される第2のフレームメモリへの出力信号のフレームレートと同じ信号形式にするか、記録時にモード選択により設定したフレームレートの信号形式にするかを選択して切り換え出力する再生信号変換回路をVTR部に備えたことを特徴とする請求項7に記載のVTR一体型撮像装置。

【請求項10】 VTR部が再生信号をビューファインダーへ出力する系統と外部へ出力する系統の2系統を備え、前記ビューファインダーへ出力する系統の信号は、カメラ信号処理回路から出力される第2のフレームメモリへの出力信号のフレームレートと同じ信号形式にし、前記外部へ出力する系統の信号は前記ビューファインダーへ出力する信号と同じか、あるいは記録時にモード選択により設定したフレームレートの信号形式で出力するかのどちらかを切り換えて出力する再生信号変換回路をVTR部に備えたことを特徴とする請求項7に記載のVTR一体型撮像装置。

【請求項11】 カメラ信号処理回路から出力される信号の($n/2$)フレームのうち、CCD読み出しパルス出力直後の1フレーム信号期間以外の($(n/2) - 1$)フレーム期間、前記カメラ信号処理回路の電源をOFFするようにコントロールする電源ON/OFF回路を備えたことを特徴とする請求項7に記載のVTR一体型撮像装置。

【請求項12】 CCDがプログレッシブ走査信号を読み出す際に奇数ラインの信号群と偶数ラインの信号群に分割して1フレームの期間内に読み出す方式のM-FIT(マルチプル・フレーム・インターライン・トランスファ)タイプの場合に、フレームメモリにより前記CCDの出力信号を1フレームの期間書き込み、プログレ

ッシブ走査信号を奇数ライン信号のフィールドと偶数ライン信号のフィールドに分けて1フレームを形成する所謂SF(セグメントフレーム)形式で読み出し、駆動パルス切り換え回路が($n/2$)倍の n の設定値が偶数と奇数の場合で読み出すフィールドの順序を制御する読み出しフィールドコントロール回路を有し、前記 n 設定値が偶数の場合は読み出しパルス出力直後の1フレームに出力する信号群の順番(奇数、偶数)を常に同一にし、奇数の場合は1フレームおきに順番を入れ換えるように駆動パルスを発生するようにしたことを特徴とする請求項1または3に記載のVTR一体型撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特に放送用、業務用などのVTR一体型撮像装置等において、近年のHD画像方式のマルチフレームレートに対応するVTR一体型撮像装置に関するものである。

【0002】

【従来の技術】マルチフレームレートのHD画像方式としてはSMPTE 274MとSMPTE 296Mで方式が規格化されている。もともと、HD画像方式は総ライン数1125と750の2方式があり、前者は有効ライン数1080、有効水平画素数1920、総水平画素数2200でクロック周波数は74.25MHzまたは74.25MHz/1.001、走査方式はインターレース走査(以下、iと表示)が基本であり、故にフィールド周波数は60Hzまたは59.94Hzである。

【0003】近年HD放送機器の進展により映画を電子化つまりフィルムをビデオテープで置換える電子シネマシステム等への動きが活発化し、テレビのフィールド周波数、走査方式60iから映画のフレーム周波数24Hz、しかも走査方式はプログレッシブ走査(以下、pと表示)の24p等への対応が必要となってきた。故に機器のインターフェースを考慮しクロック周波数、水平有効画素数を変えず、水平の無効画素数を増やすことによりフレーム周波数を変える方式が追加された。追加されたフレーム周波数、走査方式としては、30p, 25p, 24p等がある。水平総画素数について言えば、前述した説明により、例えば30pは60i方式と同じ2200であり、24pは2750($2200 \times 30/24$)となる。

【0004】総ライン数750の方は有効ライン数720、有効水平画素数1280、総水平画素数1650でクロック周波数は74.25MHzまたは74.25MHz/1.001、走査方式はpが基本であり、フレーム周波数は60Hzまたは59.94Hzである。1080と同様に、50p, 30p, 25p, 24p等が追加された。水平画素数は例えば、30pが3300、24pが4125となる。

【0005】従来のマルチフレームレート対応VTR一

体型撮像装置の回路構成としては、例えば図19に示す回路構成がある。

【0006】図19において、51は1080対応のCCD、52はCCD駆動回路、53はマルチフレームレートに対応する駆動パルスを発生する駆動パルス発生回路、54はカメラのプロセス処理を行うカメラ信号処理回路、55はビューファインダ、56はマルチフレームの信号を記録、再生するVTR部である。

【0007】以上のように構成された従来のマルチフレームレート対応VTR一体型撮像装置の動作について図20を用いて以下説明する。

【0008】駆動パルス発生回路53は、図示していない例えばマイクロコンピュータ等から出力されるモード切り換え信号に応じてそのモードに合うように駆動パルスを発生し、CCD駆動回路52へ出力する。CCD駆動回路52は駆動パルスを所定の電圧値へ変換しCCD51を駆動する。例えば60iのモードが選択されたら図20(b)に示すような駆動パルスを発生する。この場合、i駆動となる為読み出しパルスは1/60秒毎に出力され、読み出し後に上下2画素の信号がPD(フォトダイオード)ミックスされ(フィールド毎にミックスのペアを換え、奇数、偶数ラインを作成)、ミックスされた信号群は垂直転送パルスによって1水平走査周期で1ラインずつ垂直転送され、そして図示していない水平転送パルスにより1垂直転送パルス毎に駆動クロックのレート(74MHz)で順次出力されことにより最初のフィールドで奇数ライン信号を同様に次のフィールドで偶数ラインの信号を出力して図20(a)に示すように1フレーム(1/30秒)の信号を形成する。

【0009】次に30pのモードの場合は、第1の方法として図20(d)に示す駆動パルスにより、読み出しは1/30秒毎に行われ、PDミックスされてない全ラインの信号を1フレーム期間かけて垂直転送パルス及び図示していない水平転送パルスにより順次出力し図20(c)に示す30pの信号を得る方法がある。

【0010】ここで、CCD51がインターライン(以下、ITと記す)タイプのCCDであれば、PDから読み出された信号は垂直CCDを1水平走査周期で1ラインずつ転送されていくので、スポットライトのような明るい被写体を撮像した場合に、所謂受光部から垂直転送部への光のもれによるスミア(明るい帯状のすじ)という現象を引き起こし易い。この現象を抑えるCCDとしてはフレーム・インターライン・トランスファ(以下、FITと記す)タイプがあるが、このCCDは垂直、水平CCD以外に蓄積部を有し、PDから読み出された直後、垂直ブランキング期間に高速転送パルスによって、蓄積部に読み出された全画素信号を転送し、その後はITタイプと同様に前述した垂直転送パルスと水平転送パルスによって順次信号を出力する。このタイプは高速転送によりスミアを抑制することができるが、蓄積部の暗

電流により垂直のブラックシェーディングを発生する。

【0011】1080でp出力を得る場合、全画素信号を垂直転送する為には、垂直CCDを駆動する転送電極の数がiの時の倍になり、転送容量が減る等の問題の他、さらにFITタイプの場合は高速転送の段数も倍になり、性能確保の為に高速転送の周波数あるいは転送時間が制限される等の課題がある。この点に関しては現状、30p(60i)のフレームレートが限界レベルである。転送容量の問題に対しては、マルチプル・フレーム・インターライン・トランスファ(以下、MFITと記す)タイプのCCDが開発されており、p対応としてはこのタイプが実用レベルを達成している。これは、垂直ブランキング期間に奇数ラインの信号群を読み出し後高速転送し、次に偶数ラインの信号群を読み出し高速転送することにより、蓄積部に奇数ラインの信号群と偶数ラインの信号群に分けて蓄積する。故に読み出した後正規のp信号を得る為には、フレームメモリ等で並び換えを行う必要がある。しかるにこの並び換え動作を行わず高速転送後の垂直転送パルスを図20(f)のようにすることにより(読み出しパルス後の高速転送パルスは図示していない)、30pの信号を奇数ラインと偶数ラインのフィールドに分け、インターレース形式で出力する所謂セグメント・フレーム(以下、SFと記す)形式で出力する。第2の方法としてはこのMFITタイプを用いた図20(e)に示すSF形式の信号形式がある。

【0012】以上、図20(a)のi信号や同図(c)または(e)のp信号がCCD51より出力され、カメラ信号処理回路54に入力される。カメラ信号処理回路54はiまたはp信号に応じてカメラプロセスの所定の処理を行い、ビューファインダ55へビューファインダ用信号(以下、ビューファインダをVFと記す)と、VTR部56へ記録用信号を出力する。VF55では、i及びp信号に応じて表示を行い、VTR部56もモード切り換え信号に応じて記録再生を行う。

【0013】

【発明が解決しようとする課題】しかしながら上記従来のマルチフレームレート対応VTR一体型撮像装置においては、VFに表示する場合、30p、25p、24pのフレームレートではp信号であるが、フレームレートが低い故にフリッカを発生し見にくい。またSF形式の信号であってもインターレースフリッカが発生すると共に、動きのある被写体では、奇数ラインと偶数ラインの時間的ずれが生じ特に見にくくなる。

【0014】また、25p、24p等フレームレートが低くなればなるほどIT-CCDであればスミアが増え、またMFIT-CCDの場合は垂直ブラックシェーディングが増えるというCCDの性能劣化を招く。

【0015】また、一つの記録モード例えば24pにおいて記録信号のフレームレートを複数変え、再生は常に24pで行うことにより24pの可変速再生信号を得よ

10

20

30

40

50

うとする場合、複数のカメラの駆動モードとVTRとのインターフェース（以下、I/Fと記す）仕様が必要になり回路規模が増加すると共に、安定性、信頼性の確保が難しく導入できていない。特に24pモードの可変速再生は、映画撮影を電子化するには必須条件であり、大きな問題点である。

【0016】本発明はかかる点を鑑み、低フレームレートにおいてもVF信号を見やすくする、またCCDの性能を劣化させない、さらには可変速再生も可能であるマルチフレームレート対応のVTR一体型撮像装置を提供することを目的とする。

【0017】

【課題を解決するための手段】この課題を解決するために本発明は、CCDの駆動を読み出しパルス以外、設定されたモードのフレームレートに対して $(n/2)$ 倍（ n は任意の整数）にし、フレームメモリで読み出しパルス直後の1フレームに出力されるCCDの出力信号を書き込み、読み出しは書き込んだ1フレーム分の信号を繰り返して $(n/2)$ フレーム読み出すようにし、その信号をカメラ信号処理回路へ送るよう構成したものである。

【0018】これにより、VFには設定したフレームレートモードの $(n/2)$ 倍のフレームレート信号を出力することができる。

【0019】また本発明は、任意のフレームレートモードに設定した時にそのモードの可変速再生信号を得る場合、カメラ部から出力する複数のフレームレートの信号を各フレームレートの公倍数の共通フレームレート m （ m は整数）で出力できるように構成したものである。

【0020】これにより、VFには複数のフレームレートモードの公倍数のフレームレートで信号を出力することができると共に、VTRとのI/Fのタイミング等の仕様を統一することができる。

【0021】また本発明は、CCDの駆動を読み出しパルス以外、設定されたモードのフレームレートに対して $(n/2)$ 倍（ n は任意の整数）にし、フレームメモリで読み出しパルス直後の1フレームに出力されるCCDの出力信号を書き込み、読み出しは書き込んだ1フレーム分の信号を繰り返して $(n/2)$ フレーム読み出すようにし、その信号をカメラ信号処理回路へ送るようにし、VTR部では設定したフレームレートで記録し、記録した信号を再生する場合に再生信号の形式を記録時にカメラ信号処理回路から入力された信号のフレームレートと同じ形式にするか、モード選択により設定したフレームレートの信号形式にするかを切り換えるよう構成したものである。

【0022】これにより、VF及び外部への再生信号を設定モードのフレームレートそのものか、そのフレームレートの $(n/2)$ 倍のフレームレートかを選択して出力することができる。

【0023】また本発明は、CCDの駆動を読み出しパルス以外、設定されたモードのフレームレートに対して $(n/2)$ 倍（ n は任意の整数）にし、フレームメモリで読み出しパルス直後の1フレームに出力されるCCDの出力信号を書き込み、読み出しは書き込んだ1フレーム分の信号を繰り返して $(n/2)$ フレーム読み出すようにし、その信号をカメラ信号処理回路へ送るようにし、VTR部では設定したフレームレートで記録し、記録した信号を再生する場合は2系統の再生信号を出力するようにし、1系統は記録時にカメラ信号処理回路から入力された信号のフレームレートと同じ形式でVFへ出力し、もう1系統は記録時にカメラ信号処理回路から入力された信号のフレームレート形式の信号と、モード選択により設定したフレームレート形式の信号を切り換えて外部に出力するよう構成したものである。

【0024】これにより、VFへの再生信号は常にモード設定フレームレートの $(n/2)$ 倍のフレームレートで出力でき、外部への再生信号は設定モードのフレームレートそのものか、そのフレームレートの $(n/2)$ 倍のフレームレートかを選択して出力することができる。

【0025】また本発明は、CCDの駆動を読み出しパルス以外、設定されたモードのフレームレートに対して $(n/2)$ 倍（ n は任意の整数）にし、その駆動パルスで駆動されたCCD出力信号をそのままカメラ信号処理回路でカメラプロセス処理を行い、VFへの出力信号は第1のフレームメモリで読み出しパルス直後の1フレームに出力されるCCDの出力信号（その後カメラプロセス処理された信号）を書き込み、読み出しは書き込んだ1フレーム分の信号を繰り返して $(n/2)$ フレーム読み出すようにし、VTR部への出力信号は第2のフレームメモリで、読み出しパルス直後の1フレームに出力されるCCDの出力信号（その後カメラプロセス処理された信号）を書き込み、読み出しは書き込んだ1フレーム分の信号を設定フレームレートで出力するよう構成したものである。

【0026】これにより、VFには設定したフレームレートモードの $(n/2)$ 倍のフレームレート信号を出力することができると共に、VTR部及び外部へのカメラ信号出力は設定フレームレートで出力することができる。

【0027】また本発明は、CCDの駆動を読み出しパルス以外、設定されたモードのフレームレートに対して $(n/2)$ 倍（ n は任意の整数）にし、その駆動パルスで駆動されたCCD出力信号をそのままカメラ信号処理回路でカメラプロセス処理を行う場合、本来のCCD出力に関係無い $(n/2) - 1$ フレーム期間カメラ信号処理回路の電源をOFFするよう構成したものである。

【0028】これにより、電力を削減することができる。

【0029】また本発明は、CCDの駆動を読み出しパルス以外、設定されたモードのフレームレートに対して $(n/2)$ 倍 (n は任意の整数)にし、フレームメモリで読み出しパルス直後の1フレームに出力されるCCDの出力信号を書き込み、読み出しは書き込んだ1フレーム分の信号を繰り返して $(n/2)$ フレーム読み出すようにする時、CCDがMFITタイプで、フレームメモリの読み出し方もSF形式とする場合、 $(n/2)$ 倍の n の設定値が偶数か奇数かによってCCD駆動を変え、CCDから読み出される信号郡(奇数、偶数)の出力順番を偶数の時には常に同じに、奇数の時は1フレームおきに順番を入れ換えるように構成したものである。

【0030】これにより、CCDがMFITタイプで、信号処理がSF形式の信号形態の時にCCDから出力される信号郡の読み出し順番をコントロールすることができる。

【0031】

【発明の実施の形態】本発明の第1の発明は、画像の水平、垂直の有効サンプル数と処理クロックレートを変えずに、水平の無効期間のサンプル数を変えることにより画像のフレームレートを変える画像方式において、フレームレートのモードを切り換えるモード切り換え信号により、CCDの駆動パルスを切り換える駆動パルス切り換え回路と、前記駆動パルス切り換え回路より出力される駆動パルスを所定の電圧値に変換しCCDを駆動するCCD駆動回路と、前記CCD駆動回路より駆動されるプログレッシブ走査可能なCCDと、前記CCDの出力信号をCCD出力のフレームレートで書き込み、同じレートで読み出すフレームメモリと、前記フレームメモリの出力信号が入力されカメラプロセスの所定の処理を施すカメラ信号処理回路と、前記カメラ信号処理回路から出力される信号をフレームレートのモードに応じて記録、再生するVTR部とを有し、前記フレームレートのモードが30以下の場合に前記駆動パルス切り換え回路が読み出しパルスは設定されたフレームレートに対応して出力し、読み出しパルス以外の駆動パルスは $(n/2)$ 倍 (n は任意の整数)のフレームレートに対応する駆動パルスを出力して前記CCDを $(n/2)$ 倍速動作させ、前記フレームメモリは $(n/2)$ フレームに1回読み出しパルス出力直後の1フレームに出力される前記CCDの出力信号を書き込み、読み出しは書き込んだ1フレーム分の信号を繰り返して $(n/2)$ フレーム読み出し、その信号にカメラ信号処理回路でカメラプロセスの処理を施しVTR部へ出力する作用を有する。

【0032】また、本発明の第2の発明は、第1の発明と同じように画像の水平、垂直の有効サンプル数と処理クロックレートを変えずに、水平の無効期間のサンプル数を変えることにより画像のフレームレートを変える画像方式において、フレームレートのモードを切り換えるモード切り換え信号により、CCDの駆動パルスを切り

換える駆動パルス切り換え回路と、前記駆動パルス切り換え回路より出力される駆動パルスを所定の電圧値に変換しCCDを駆動するCCD駆動回路と、前記CCD駆動回路より駆動されるプログレッシブ走査可能なCCDと、前記CCDの出力信号をCCD出力のフレームレートで書き込み、同じレートで読み出すフレームメモリと、前記フレームメモリの出力信号が入力されカメラプロセスの所定の処理を施すカメラ信号処理回路と、前記カメラ信号処理回路から出力される信号をフレームレートのモードに応じて記録、再生するVTR部とを有し、VTR部へ出力するカメラ信号のフレームレートを複数用意し、VTR部では各フレームレートの信号に応じて所定のフレームレートに合うように記録スピードを調整して記録すると共に、再生を設定した所定のフレームレートで行うことによって可変速の再生信号を得るようにし、カメラ部においては駆動パルス切り換え回路が前記VTR部へ出力する複数のフレームレートの信号を各フレームレートの公倍数の共通フレームレート (m フレーム： m は整数)で出力するためのフレームレート共通化制御回路を有し、読み出しパルス以外の駆動パルスを m フレームレートに対応する駆動パルスにして出力するように構成されたものであり、第1の発明に加えて、駆動パルス切り換え回路がフレームレート共通化制御回路を有する。作用としては、第1の発明の作用に加え、フレームレート共通化制御回路が複数のフレームレートの信号の $(n/2)$ 倍化の n の設定値をそれぞれ選択し、共通フレーム m になるように制御し、その信号にカメラ信号処理回路でカメラプロセスの処理を施しVTR部へ出力する作用を有する。

【0033】また、本発明の第3の発明は、第1の発明と同じように画像の水平、垂直の有効サンプル数と処理クロックレートを変えずに、水平の無効期間のサンプル数を変えることにより画像のフレームレートを変える画像方式において、フレームレートのモードを切り換えるモード切り換え信号により、CCDの駆動パルスを切り換える駆動パルス切り換え回路と、前記駆動パルス切り換え回路より出力される駆動パルスを所定の電圧値に変換しCCDを駆動するCCD駆動回路と、前記CCD駆動回路より駆動されるプログレッシブ走査可能なCCDと、前記CCDの出力信号をCCD出力のフレームレートで書き込み、同じレートで読み出すフレームメモリと、前記フレームメモリの出力信号が入力されカメラプロセスの所定の処理を施すカメラ信号処理回路と、前記カメラ信号処理回路から出力される信号をフレームレートのモードに応じて記録、再生するVTR部とを有し、VTR部の再生信号を、記録時にカメラ信号処理回路から入力された信号のフレームレートと同じ信号形式にするか、記録時にモード選択により設定したフレームレートの信号形式にするかを選択して切り換え出力する再生信号変換回路をVTR部に有する構成であり、第1の発

明に加えVTR部が再生信号変換回路を備える。

【0034】作用としては、第1の発明の作用に加えVTR部の再生信号変換回路で、再生信号を記録時にカメラ信号処理回路から入力された信号のフレームレートと同じ信号形式か、モード選択により設定したフレームレートの信号形式か選択して切り換え出力する作用を有する。

【0035】また、本発明の第4の発明は、第1の発明と同じように画像の水平、垂直の有効サンプル数と処理クロックレートを変えずに、水平の無効期間のサンプル数を変えることにより画像のフレームレートを変える画像方式において、フレームレートのモードを切り換えるモード切り換え信号により、CCDの駆動パルスを切り換える駆動パルス切り換え回路と、前記駆動パルス切り換え回路より出力される駆動パルスを所定の電圧値に変換しCCDを駆動するCCD駆動回路と、前記CCD駆動回路より駆動されるプログレッシブ走査可能なCCDと、前記CCDの出力信号をCCD出力のフレームレートで書き込み、同じレートで読み出すフレームメモリと、前記フレームメモリの出力信号が入力されカメラプロセスの所定の処理を施すカメラ信号処理回路と、前記カメラ信号処理回路から出力される信号をフレームレートのモードに応じて記録、再生するVTR部とを有し、VTR部が再生信号をビューファインダーへ出力する系統と外部へ出力する系統の2系統の再生信号変換回路を備える構成である。第1の発明、第3の発明に加え、2系統の再生信号変換回路を有する。

【0036】作用としては、第1、第3の発明の作用に加え第1の再生信号変換回路で、ビューファインダーには記録時にカメラ信号処理回路から入力された信号のフレームレートと同じ信号形式で出力し、外部へは記録時にカメラ信号処理回路から入力された信号のフレームレートと同じ信号形式か、モード選択により設定したフレームレートの信号形式か選択して切り換え出力する作用を有する。

【0037】また、本発明の第5の発明は、画像の水平、垂直の有効サンプル数と処理クロックレートを変えずに、水平の無効期間のサンプル数を変えることにより画像のフレームレートを変える画像方式において、フレームレートのモードを切り換えるモード切り換え信号により、CCDの駆動パルスを切り換える駆動パルス切り換え回路と、前記駆動パルス切り換え回路より出力される駆動パルスを所定の電圧値に変換しCCDを駆動するCCD駆動回路と、前記CCD駆動回路より駆動されるプログレッシブ走査可能なCCDと、前記CCDの出力信号が入力されカメラプロセスの所定の処理を施すカメラ信号処理回路と、前記カメラ信号処理回路から出力されるビューファインダー用の信号を前記カメラ信号処理回路のフレームレートで書き込み、同じレートで読み出す第1のフレームメモリと、前記カメラ信号処理回路か

ら出力されるVTR部への信号が入力され前記カメラ信号処理回路のフレームレートで書き込み、前記モード切り換え信号で選択されたフレームレートで読み出す第2のフレームメモリと、前記第2のフレームメモリより出力される信号をその信号のレートで記録、再生するVTR部とを有し、前記フレームレートのモードが30以下の場合に前記駆動パルス切り換え回路が読み出しパルスは設定されたフレームレートに対応して出力し、読み出しパルス以外の駆動パルスは $(n/2)$ 倍(n は任意の整数)のフレームレートに対応する駆動パルスを出力して前記CCDを $(n/2)$ 倍速動作させ、前記第1のフレームメモリは $(n/2)$ フレームに1回読み出しパルス出力直後の1フレームに出力されているビューファインダー用の信号を書き込み、読み出しは書き込んだ1フレーム分の信号を繰り返して $(n/2)$ フレーム読み出すようにし、前記第2のフレームメモリは $(n/2)$ フレームに1回読み出しパルス出力直後の1フレームに出力されているVTR部への信号を書き込み、読み出しは水平の無効サンプルを増やし $(n/2)$ フレームかけて、書き込んだ1フレーム分の信号を出力する構成であり、第1の発明と違い、第1、第2のフレームメモリを備え、第1のフレームメモリはカメラ信号処理回路とビューファインダーの間に、第2のフレームメモリはカメラ信号処理回路とVTR部の間に配置されている。

【0038】 $(n/2)$ 倍速動作のCCD出力を、カメラ信号処理回路はそのまま処理し、ビューファインダー、VTR部へ出力する。第1のフレームメモリは第1の発明のフレームメモリと同じ動作を行いビューファインダーへ出力する。第2のフレームメモリは、書き込みは第1のフレームメモリと同じ動作で行い、読み出しは書き込んだ1フレーム分の信号を設定フレームレートで出力しVTR部へ出力する作用をする。

【0039】本発明の第6の発明は、第5の発明に加えカメラ信号処理回路から出力される信号の $(n/2)$ フレームのうち、CCD読み出しパルス出力直後の1フレーム信号期間以外の $((n/2)-1)$ フレーム期間、前記カメラ信号処理回路の電源をOFFするようにコントロールする電源ON/OFF回路を備えた構成であり、電源ON/OFF回路が、カメラ信号処理回路の不要処理期間の電源をOFFする作用を有する。

【0040】本発明の第7の発明は、第1の発明においてCCDがプログレッシブ走査信号を読み出す際に奇数ラインの信号群と偶数ラインの信号群に分割して1フレームの期間内に読み出す方式のM-FIT(マルチプル・フレーム・インターライン・トランスファー)タイプの場合に、フレームメモリにより前記CCDの出力信号を1フレームの期間書き込み、プログレッシブ走査信号を奇数ライン信号のフィールドと偶数ライン信号のフィールドに分けて1フレームを形成する所謂SF(セグメントフレーム)形式で読み出し、駆動パルス切り換え回

路が $(n/2)$ 倍の n の設定値が偶数と奇数の場合で読み出すフィールドの順序を制御する読み出しフィールドコントロール回路を有し、前記 n の設定値が偶数の場合は読み出しパルス出力直後の 1 フレームに出力する信号群の順番 (奇数、偶数) を常に同一にし、奇数の場合は 1 フレームおきに順番を入れ換えるように駆動パルスを発生するようにした構成であり、フレームメモリが SF 形式の信号形式でカメラ信号処理回路へ出力し、 n の設定値に応じて SF 形式が不正規にならないように、駆動パルス切り換え回路により CCD の出力信号をコントロールする作用を有する。

【0041】以下、本発明の実施の形態について図面を用いて説明する。

【0042】(実施の形態 1) 図 1 は本発明の実施の形態 1 における VTR 一体型撮像装置の構成を示すブロック図である。

【0043】図 1 において、1 は p 走査可能な CCD、2 は CCD 駆動回路、3 はマルチフレームレートに対応する駆動パルスを切り換え出力する駆動パルス切り換え回路、4 はフレームメモリ、5 はカメラのプロセス処理を行うカメラ信号処理回路、6 は p 対応 VF、7 はマルチフレームレートの信号を記録再生する VTR 部である。

【0044】以上のように構成された実施の形態 1 による VTR 一体型撮像装置の動作について、図 2 ～ 図 4 を用いて以下説明する。

【0045】図 2 は実施の形態 1 における駆動パルス切り換え回路の内部構成の一例を示すブロック図である。また、図 3、図 4 は図 1 の各部の信号波形図である。

【0046】図 2 で、8、9、10 は 24 p、25 p、30 p の各駆動モードに対応する駆動パルス発生回路、14 は $(n/2)$ 倍化回路、11、12、13 は $(n/2)$ 倍化回路の内部構成の各駆動パルス発生回路 8、9、10 からのパルスを受けて読み出しパルス以外の駆動パルスを倍速にする駆動パルス発生回路、15 は切り換え回路である。

【0047】図 1 において、モード切り換え信号が図示していないマイクロコンピュータ等から各部へ出力される。駆動パルス切り換え回路 3 はこれを受け、例えば図 2 に示すように 25 p であれば 25 p の駆動パルス発生回路 9 で、30 p であれば 30 p の駆動パルス発生回路 10 で駆動パルスを発生し、 $(n/2)$ 倍化回路 14 でこの場合、 $n = 4$ の 2 倍速の駆動パルス、50 p および 60 p を発生する。その駆動パルスは図 3 及び図 4 に示している。例えば、30 p の場合は、図 3 (c) に示すように、60 p の駆動パルス (同図 (b)) と違うのは読み出しパルスが 30 p のフレームレートで出力され、その他の垂直転送パルス、及び図示していない水平転送パルス等は 60 p の駆動パルスと同じである。故に、CCD 1 の出力信号は、駆動パルス発生回路 3 の駆動パル

スを所定電圧に変換する CCD 駆動回路 2 により、図 3 (d) のように同図 (a) の 60 p と同じフレームレートで出力され、読み出しパルスの直後の 1 フレームで信号が出力され、次のフレームは不要信号が出力される。フレームメモリ 4 では読み出しパルス出力直後の 1 フレームの信号を書き込み、同じフレームの信号を 2 回読み出すようにすることにより図 3 (e) に示す信号を得る。(図 3 ではフレームメモリによる遅延は図示していない) この信号は次段のカメラ信号処理回路 5 で 60 p フレームのレートでカメラプロセスの所定の処理が施され、図 3 (f) に示す信号の形態で VF 6 及び VTR 部 7 へ出力される。VF 6 では 60 p フレームのレートで画像を表示し、VTR 部 7 では 60 p フレームレートの画像を記録スピード等調整し、モード設定した 30 p の信号として記録する。

【0048】25 p の場合も同様であり、各部の信号波形が図 4 (a) ～ (f) に示すようになり、VF 6 では 50 p フレームのレートで画像を表示し、VTR 部 7 では 50 p フレームレートの画像を記録スピード等調整し、モード設定した 25 p の信号として記録する。24 p の場合も基本的には同じ様な処理になる。

【0049】以上のように本発明の実施の形態 1 によれば、モード設定のフレームレートが 30 以下の時に、VF に表示するフレームレートを例えば 2 倍のフレームレート等、 $(n/2)$ 倍 (n は整数) のフレームレートで表示することができ、VF 等への表示が容易になる。また、CCD の垂直転送の時間を短くすることが出来るので性能劣化を防ぐことが出来る。

【0050】なお、駆動パルス切り換え回路 3 の内部構成の各駆動パルス発生回路は、1 つの発生回路をプログラマブルにコントロールし各必要パルスを発生するようにしてもいいことは言うまでもない。

【0051】(実施の形態 2) 図 5 は本発明の実施の形態 2 での VTR 一体型撮像装置における駆動パルス切り換え回路の構成を示すブロック図である。

【0052】図 5 において、16、17、18、19 はそれぞれ 10 p、15 p、20 p、30 p の駆動パルスを発生する駆動パルス発生回路、20 は各駆動パルス発生回路 16、17、18、19 の各パルスの読み出しパルス以外のレートを 60 p のレートに変換する 60 p 駆動パルス発生回路、21 は $(n/2)$ 倍化回路で、この例の場合 60 p 駆動パルス発生回路で構成されている。22 はフレームレート共通化制御回路で、10 p、15 p、20 p、30 p のフレームレートをそれぞれ 60 p に共通化する為の制御を行う回路、23 は切り換え回路である。本実施の形態 2 が実施の形態 1 と違うのは、駆動パルス切り換え回路 3 に、フレームレート共通化制御回路 22 を備えた点である。その他の回路については同じであり、その動作も同様な動作である。

【0053】以上のように構成された実施の形態 2 によ

るVTR一体型撮像装置の動作について、図6、図7を用いて以下説明する。

【0054】フレームレート共通化制御回路22は、
($n/2$)倍化回路21の n の値を入力駆動パルスのレートに応じて選択する。10pの場合は $n=12$ 、15pは $n=8$ 、20pは $n=6$ 、30pは $n=4$ とし、それぞれに共通な60pのフレームレートに変換されるように制御する。この時、読み出しパルスは実施の形態1と同様に入力フレームレートのままとし、その他の駆動パルスを60pフレームレートに変換する。それぞれ変換された駆動パルスがモード切り換え信号により切り換え回路23で切り換えられ、駆動パルス切り換え回路3より出力される。この駆動パルスにより、各フレームレートでのCCD出力波形は図6の(b)、(c)、(d)のようになり、同図(a)に示す60pの場合の出力レートと同じレートで出力される。点線部は不要信号出力期間である。(10pの場合は図示していない)フレームメモリではこのCCD出力を同図(e)、(f)、(g)に示すように、読み出しパルス出力直後の1フレームの信号を書き込み、点線部の出力期間を補う形で読み出しを繰り返して行う。この信号がカメラ信号処理回路でカメラプロセスの処理が施された後、VF及びVTR部へと出力される。

【0055】図7(a)～(g)は共通フレームを48pにした場合のCCD出力、フレームメモリ出力の信号波形図を示す。この場合、モード切り換え信号で選択できるフレームレートの信号としては、12p、16p、24p等がある。このように共通フレームレートを60pあるいは48p等にするにより、規格で設定されているフレームレートの信号以外に複数のフレームレートの信号をVTR部の記録信号として選択できる。

【0056】以上本実施の形態2によれば、実施の形態1と同様に、低速のフレームレートの信号もCCDの性能を劣化させず、さらにVFに表示可能な共通のフレームレートで表示できる。また、VTR部では共通のフレームレートの中に入っている実際のフレームレートに応じて、所定の記録レート(フォーマット)で記録するように、記録のスピード等を変えて記録し、再生は設定した所定の記録レートで再生することにより、可変速の再生信号を得ることが出来る。

【0057】さらに複数のフレームレートの信号を共通フレームの1種類の信号でI/Fすることができ、回路規模を削減できると共に、安定性の向上を図れる。

【0058】なお、駆動パルス切り換え回路3の内部構成の各駆動パルス発生回路は、実施の形態1と同様に1つの発生回路をプログラマブルにコントロールし各必要パルスを発生するようにしてもいいことは言うまでもない。

【0059】(実施の形態3)図8は本発明の実施の形態3におけるVTR一体型撮像装置の構成を示すブロック

図である。

【0060】図8において、1はp走査可能なCCD、2はCCD駆動回路、3はマルチフレームレートに対応する駆動パルスを切り換え出力する駆動パルス切り換え回路、4はフレームメモリ、5はカメラのプロセス処理を行うカメラ信号処理回路、6はp対応VF、24はマルチフレームレートの信号を記録再生するVTR部、25は再生信号のフレームレートを変換する再生信号変換回路である。

【0061】図1に示した実施の形態1の構成要素と同じ動作の物には、同一符号を付し、その説明は省略する。実施の形態1の図1との相違点は、VTR部24が再生信号変換回路25を備えている点である。

【0062】また、図9は実施の形態3における再生信号変換回路25の内部構成の1例を示すブロック図であり、26はフレームレートを変換する変換回路、27は切り換え回路である。

【0063】以上のように構成された実施の形態3によるVTR一体型撮像装置の動作について以下説明する。

【0064】図8の実施の形態3に示すVTR一体型撮像装置のカメラ部の動作は実施の形態1の動作とまったく同じである。つまり、カメラ信号処理回路5から出力されるVF用の信号は、設定されたフレームレートの($n/2$)倍、例えば2倍のフレームレートに変換された信号であり、VTR部24へも同じ形態の信号が出力される。VTR部24は、モード切り換え信号で設定したフレームレートで記録をするが、再生の場合に再生信号変換回路25で信号の形態を変換する。図9の変換回路26は再生信号を、モード切り換え信号で設定したフレームレートの信号から、カメラ部よりVTR部24へ入力された信号の形態とまったく同じフレームレートの信号に変換する。この信号と、変換前の再生信号を切り換え回路27で切り換えて出力する。

【0065】VTR一体型撮像装置の場合、再生信号はカメラのVFとモニター信号として外部へ出力されることが多いが、本実施の形態の場合、VFで再生信号を確認する場合や、外部のモニター等へ出力する場合は変換回路26での信号を選択し、外部のVTR、スイッチ等へ再生信号を出力する場合は、変換前の信号を選択することが出来る。

【0066】このように本実施の形態3によれば、VFや外部のモニター等に再生信号を出力する場合は、モード切り換え信号で選択したフレームレートの($n/2$)倍、例えば2倍のフレームレート信号として出力するのでVF等に表示しやすい。また、外部の他のVTR、スイッチ等にはモード切り換え信号で選択したフレームレートで出力するので、規格通りのI/Fが可能となる。

【0067】(実施の形態4)図10は本発明の実施の形態4でのVTR一体型撮像装置における、VTR部の再生信号変換回路の内部構成を示すブロック図である。そ

の他の構成要素は図8の実施の形態3とまったく同じである。図8の実施の形態3と違うところは、第1の再生信号変換回路28と、第2の再生信号変換回路29を備えている点である。故に、このVTR部の再生信号の出力について図11を用いて説明し他の構成要素の説明は省略する。

【0068】図11は各部の信号波形図である。モード切り換え信号による設定が30pの時、CCD出力は図11(a)のようになりフレームメモリの出力は同図

(b)、そしてVF及びVTRへの出力は同図(c)のようになる。VTR部では、入力された同図(c)の信号を同図(d)のように、モード切り換え信号による設定の30pのフレームレートで記録する。ここまでは実施の形態1、実施の形態3と同様な動作である。

【0069】再生信号は図10に示すように、VFへは第1の再生信号変換回路28の変換回路30で、図11(f)の信号形態つまりVTR部へ入力された信号と同じ形式の信号へ変換し出力する。外部のモニター出力への再生信号は第2の再生信号変換回路29により、例えば、図11(e)に示す信号あるいは同図(f)のVF

と同じ信号を切り換え回路31で切り換えて出力する。【0070】このようにVFには常にカメラ側からの入力信号と同じフレームレートの再生信号を出力し、外部へのモニター出力はカメラ側からの入力信号と同じフレームレートの信号か、モード切り換え信号による設定フレームレートの信号かを選択して出力することが出来る。

【0071】このように本実施の形態4によれば、外部の他のVTR、スイッチャ等にモード切り換え信号で選択したフレームレートつまり規格通りに出力する場合でも、VFには常にモード切り換え信号で選択したフレームレートの(n/2)倍、例えば2倍のフレームレート信号として出力するのでVF等に表示しやすく、外部出力の再生信号を確認できる。また、外部にもVFと同じ形式で出力することができるのでのモニター等への表示もしやすい。

【0072】(実施の形態5)図12は本発明の実施の形態5におけるVTR一体型撮像装置の構成を示すブロック図である。

【0073】図12において、1はp走査可能なCCD、2はCCD駆動回路、3はマルチフレームレートに対応する駆動パルスを切り換え出力する駆動パルス切り換え回路、5はカメラのプロセス処理を行うカメラ信号処理回路、6はp対応VF、7はマルチフレームレートの信号を記録再生するVTR部、32はVF用の信号を処理する第1のフレームメモリ、33はVTR用の信号を処理する第2フレームメモリ、34は切り換え回路である。本実施の形態は実施の形態1と違い、カメラ信号処理5の前にフレームメモリを備えず、カメラ信号処理5とVF6及びVTR部7間にそれぞれフレームメモリを

備える。

【0074】以上のように構成された実施の形態5によるVTR一体型撮像装置の動作について、図13を用いて以下説明する。

【0075】CCD1、CCD駆動回路2及び駆動パルス切り換え回路3は実施の形態1と同様な動作をする。故にモード切り換え信号の設定を受け、例えば30pであれば図13(a)に示すCCD出力信号が得られる。この信号はカメラ信号処理回路5へ入力され、60pフレームレートで処理された後、第1及び第2のフレームメモリ32、33へ出力される。第1のフレームメモリ32は実施の形態1のフレームメモリと同様な処理を行い、フレームを複製する形で図13(b)に示す信号を切り換え回路34へ出力する。一方第2のフレームメモリ33は、入力される60pのフレームレートの信号を書き込んで、モード設定で選択した30pのフレームレートへ変換する。この変換は、処理クロックを変えず、水平の無効期間のサンプル数を増やし総画素数を倍にすることで簡単に実現できる。

【0076】この変換された信号はVTR部7へ出力される。VTR部7では、この信号(図13(e))をそのままのフレームレートで記録すると共に、図13(d)に示す様にカメラ出力をそのまま外部へモニター信号として出力する。(例えばSDI信号で出力)再生は、VTR部7が実施の形態4に示す構成であれば、再生信号のモニター出力は図13(f)が選択でき、VFへの再生信号は同図(g)が出力される。切り換え回路30は図13(b)及び(g)の信号を切り換えてVF6へ出力する。

【0077】以上のように本発明の実施の形態5によれば、モード設定のフレームレートが30、さらにそれ以下の時も同様に、VFに表示するフレームレートを例えば2倍のフレームレート等、(n/2)倍(nは整数)のフレームレートで表示することができ、VF等への表示が容易になる。また、CCDの垂直転送の時間を短くすることが出来るので性能劣化を防ぐことが出来る等、実施の形態1と同様の効果が出せると共に、カメラ信号のモニター出力をモード設定のフレームレートつまり規格の信号形態で外部に出力し、バックアップ用のVTRとI/Fすることが可能となる。

【0078】(実施の形態6)図14は本発明の実施の形態6におけるVTR一体型撮像装置の構成を示すブロック図である。

【0079】図14において、1はp走査可能なCCD、2はCCD駆動回路、3はマルチフレームレートに対応する駆動パルスを切り換え出力する駆動パルス切り換え回路、5はカメラのプロセス処理を行うカメラ信号処理回路、6はp対応VF、7はマルチフレームレートの信号を記録再生するVTR部、32はVF用の信号を処理する第1のフレームメモリ、33はVTR用の信号

を処理する第2フレームメモリ、34は切り換え回路、35はカメラ信号処理回路5の電源をON、OFFする電源ON/OFF回路である。本実施の形態が実施の形態5と違うところは、電源ON/OFF回路35を備えている点である。故にその他の動作説明は省略する。

【0080】以上のように構成された実施の形態6によるVTR一体型撮像装置の動作について、図15を用いて以下説明する。

【0081】実施の形態5と同様に、モード切り換え信号の設定が例えば30pであれば、図15(a)に示すCCD出力信号が得られる。この信号はカメラ信号処理回路5へ入力され、60pフレームレートで処理され、カメラ信号処理回路5はCCD出力の不要信号(図15(a)点線部分)の期間もカメラプロセスの処理を行う(同図(b))。故に不必要な電力を消費する。例えばデジタルプロセスであれば大規模なLSI等、入力信号が一定信号でも処理クロックが入力されるだけでも電力を消費する。この問題は設定フレームレートが低くなればなるほど、不要信号期間のフレーム数が増えるので、この不必要な電力消費も増大する。

【0082】故に本実施形態では電源ON/OFF回路35で、図13(c)に示すような電源ON/OFFコントロール信号を発生し、不要信号期間でのカメラ信号処理回路5の電源をOFFする。これにより同図(d)に示すように処理動作となり、電力消費を抑えることが出来る。

【0083】以上のように本発明の実施の形態6によれば、実施形態5と同様にモード設定のフレームレートが30、さらにそれ以下の時も同様に、VFに表示するフレームレートを例えば2倍のフレームレート等、(n/2)倍(nは整数)のフレームレートで表示することができ、VF等への表示が容易になる。また、CCDの垂直転送の時間を短くすることが出来るので性能劣化を防ぐことが出来る。また、カメラ信号のモニター出力をモード設定のフレームレートつまり規格の信号形態で外部に出力し、バックアップ用のVTRとI/Fすることが可能となる効果に加え、特に低フレームレートでの電力消費を抑えることが出来る。

【0084】(実施の形態7)図16は本実施の形態7のVTR一体型撮像装置における駆動パルス切り換え回路の内部構成の一例を示すブロック図である。

【0085】図16で36、37、38はモード切り換え信号により設定される15p、20p、30pのSF形式の駆動パルス発生回路、39は各パルスの読み出しパルス以外のレートを30pのレートに変換する30p(SF形式)駆動パルス発生回路、40は(n/2)倍化回路で、この例の場合30p(SF形式)駆動パルス発生回路で構成されている。42はフレームレート共通化制御回路で、15p、20p、30pのフレームレートをそれぞれ30p(SF形式)に共通化する為の制御を行

う回路、41は切り換え回路、43はフレームレート共通化制御回路42で設定される(n/2)倍化回路40のnの値により各駆動パルス発生回路の読み出しフィールドを制御する読み出しフィールドコントロール回路である。

【0086】本実施の形態7が実施の形態1、または実施の形態2と違うのは、駆動パルス切り換え回路3に、読み出しフィールドコントロール回路43を備えた点である。その他の回路については同じであり、その動作も同様な動作である。説明は簡略化する。

【0087】以上のように構成された実施の形態7によるVTR一体型撮像装置の動作について、図17、図18を用いて以下説明する。

【0088】駆動パルス発生回路36~38は実施の形態2と違いSF形式のp駆動パルスを発生する。各駆動パルスは実施の形態2と同様に、フレームレート共通化制御回路42と(n/2)倍化回路40により、この場合30p(SF形式)の共通フレームの駆動パルスに変換される。故に、図17(c)に示すような駆動パルスが出力される。この場合30pの場合を示しているが、読み出しパルス以外、同図(b)に示す60iの駆動パルスとほぼ同じである。垂直転送パルスは、同図(d)の出力を得る為奇数ラインと偶数ラインの出力を垂直ブランキング期間の時間差をつけ出力しているが、性能が劣化しないように連続的に出力してもよい。同様に20pの場合の変換後の駆動パルスを図17(e)に示すが、読み出しパルス直後のCCD出力を同図(f)に示すように、奇数ライン信号群と偶数ライン信号群の出力順番が交互に入れ換るように、読み出しフィールドコントロール回路43で制御している。つまり、20pの場合のように(n/2)倍化回路40のnの値が奇数(n=3)の場合は読み出しフィールドの順番を交互に入れ換え、nが偶数の場合は常に同じ順番にしている。

【0089】以上の制御法則に基づいたCCD出力を図18(a)~(c)に示す。

【0090】それぞれ15p(n=4)と30p(n=2)は常に同じ順番の出力で、20p(n=3)の時のみ、読み出し毎に奇数、偶数の順番が交互に入れ替わっている。これらの信号が、フレームメモリで15pの場合は図18(d)に示すように1フレーム分1-odd, 1-evenが複製され、20pの場合は同図(e)に示すように0.5フレーム分の1-oddが複製され、30pの場合は同図(f)に示すようにそのままの信号が出力される。このように各フレームレートの設定において、奇数、偶数の信号群の連続性、つまりSF形式が保たれて次段のカメラ信号処理回路へ出力される。その後の動作は実施の形態1及び2と同様である。

【0091】このように本発明の実施の形態7によれば、実施の形態1及び2と同じ様に低速フレームレート信号のVFへの安定な表示、CCDの性能劣化防止、V

TR部との安定した I/F 等を SF 形式で実現できる。

【0092】なお、駆動パルス切り換え回路 3 の内部構成の $(n/2)$ 倍化回路を含めた各駆動パルス発生回路は、実施の形態 1 及び 2 と同様に 1 つの発生回路をプログラマブルにコントロールし各必要パルスを発生するようにしてもいいことは言うまでもない。

【0093】また、本発明においては、読み出しフィールドコントロール回路 43 によって CCD の読み出しを制御し SF の連続性を保っているが、同様なコントロールをフレームメモリで行うようにしてもいいことは言うまでもない。

【0094】また、すべての実施の形態において、倍速化は従来の技術のところで説明したように、処理クロックは同じで水平の総画素数を半分になるように無効期間のサンプル数を減らすことにより簡単に実現できることは言うまでもない。さらにフレームメモリの動作は、例えば 2 フレーム分のフレームメモリを用意し、書き込み用と読み出し用を交互に切り換えて動作させることにより簡単にフレームを複製できることも言うまでもない。

【0095】

【発明の効果】以上のように本発明によれば、モード設定のフレームレートが 30 以下の時に、VF に表示するフレームレートを例えば 2 倍のフレームレート等、 $(n/2)$ 倍 (n は整数) のフレームレートで表示することができ、VF 等への表示を容易にすることができると共に、CCD の垂直転送の時間を短くし性能劣化を防ぐことができる。

【0096】また、本発明によれば、上記効果に加え、可変速再生信号を得ることができるマルチフレーム対応の VTR 一体型撮像装置で、可変速再生に必要な複数のフレームレートの信号を共通フレームの 1 種類の信号で I/F することができ、回路規模を削減できると共に、安定性の向上を図れる。

【0097】また、本発明によれば、再生信号を出力する際にフレームレートを切り換えて出力することが可能であり、VF や外部のモニター等に再生信号を出力する場合はモード切り換え信号で選択したフレームレートの $(n/2)$ 倍、例えば 2 倍のフレームレート信号として出力するので VF 等に表示しやすく、外部の他の VTR、スイッチ等にはモード切り換え信号で選択したフレームレートで出力するので、規格通りの I/F が可能となる。

【0098】また、本発明によれば、再生信号系を 2 系統持つことにより、外部の他の VTR、スイッチ等にはモード切り換え信号で選択したフレームレートつまり規格通りに出力する場合でも、VF には常にモード切り換え信号で選択したフレームレートの $(n/2)$ 倍、例えば 2 倍のフレームレート信号として出力するので VF 等に表示しやすく、外部出力の再生信号を確認できる。また、外部にも VF と同じ形式で出力することができるの

でのモニター等への表示もしやすいという効果を有する。

【0099】また、本発明によれば、前述してきた低フレームレートの設定でも安定して VF 表示できる、CCD の性能劣化を防止できる効果に加え、カメラ信号のモニター出力をモード設定のフレームレートつまり規格の信号形態で外部に出力することができ、バックアップ用の VTR と I/F することが可能となる効果が得られる。さらにそれを低電力で実現できる。

【0100】また、本発明によれば、SF 形式においても低速フレームレート信号の VF への安定な表示、CCD の性能劣化防止、VTR 部との安定した I/F 等を実現できる効果が得られる。

【0101】以上のように、本発明によれば、上記に示した効果を有するマルチフレームレート対応の VTR 一体型撮像装置を提供できる。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 による VTR 一体型撮像装置の構成を示すブロック図

【図 2】同実施の形態 1 における駆動パルス切り換え回路の内部構成の 1 例を示すブロック図

【図 3】図 1 に示す本発明の実施の形態 1 での各部信号波形図

【図 4】図 1 に示す本発明の実施の形態 1 での各部信号波形図

【図 5】本発明の実施の形態 2 での VTR 一体型撮像装置における駆動パルス切り換え回路の構成を示すブロック図

【図 6】本発明の実施の形態 2 の動作説明の為の信号波形図

【図 7】本発明の実施の形態 2 の動作説明の為の信号波形図

【図 8】本発明の実施の形態 3 における VTR 一体型撮像装置の構成を示すブロック図

【図 9】本発明の実施の形態 3 における再生信号変換回路の内部構成の 1 例を示すブロック図

【図 10】本発明の実施の形態 4 における再生信号変換回路の内部構成の 1 例を示すブロック図

【図 11】本発明の実施の形態 4 での各部の信号波形図

【図 12】本発明の実施の形態 5 における VTR 一体型撮像装置の構成を示すブロック図

【図 13】本発明の実施の形態 5 の動作説明の為の信号波形図

【図 14】本発明の実施の形態 6 における VTR 一体型撮像装置の構成を示すブロック図

【図 15】本発明の実施の形態 6 の動作説明の為の信号波形図

【図 16】本実施の形態 7 の VTR 一体型撮像装置における駆動パルス切り換え回路の内部構成の 1 例を示すブロック図

【図 17】 本発明の実施の形態 7 の動作説明の為の信号波形図

【図 18】 本発明の実施の形態 7 の動作説明の為の信号波形図

【図 19】 従来の VTR 一体型撮像装置の回路構成を示すブロック図

【図 20】 従来の VTR 一体型撮像装置の動作説明の為の信号波形図

【符号の説明】

- 1 プログレッシブ対応 CCD
- 2 CCD 駆動回路
- 3 駆動パルス切り換え回路
- 4, 32, 33 フレームメモリ

5 カメラ信号処理回路

6 ビューファインダー

7, 24 VTR 部

8~13, 16~20, 36~39 各種駆動パルス発生回路

14, 21, 40 ($n/2$) 倍化回路

15, 23, 27, 31, 34, 41 切り換え回路

22, 42 フレームレート共通化制御回路

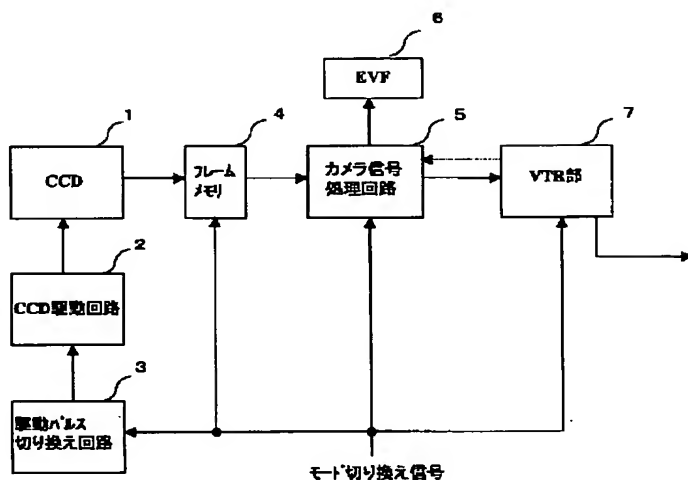
25, 28, 29 再生信号変換回路

10 26, 30 変換回路

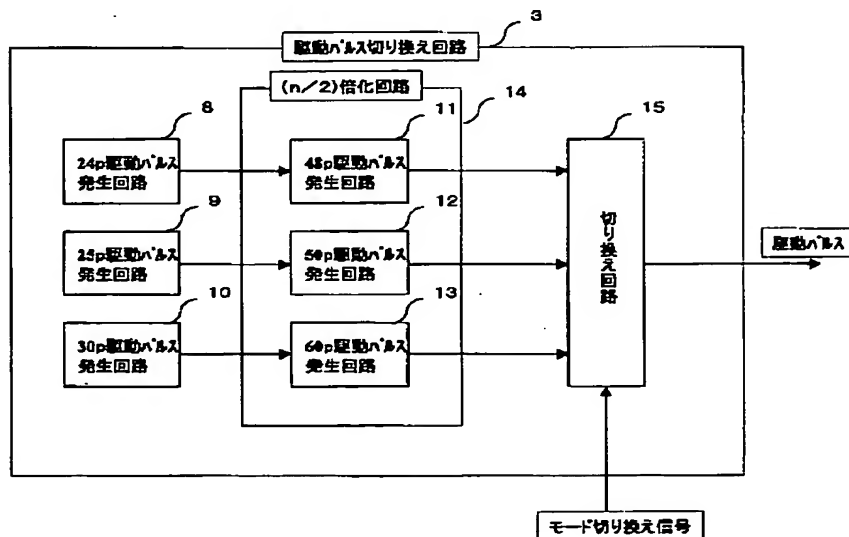
35 電源 ON/OFF 回路

43 読み出しフィールドコントロール回路

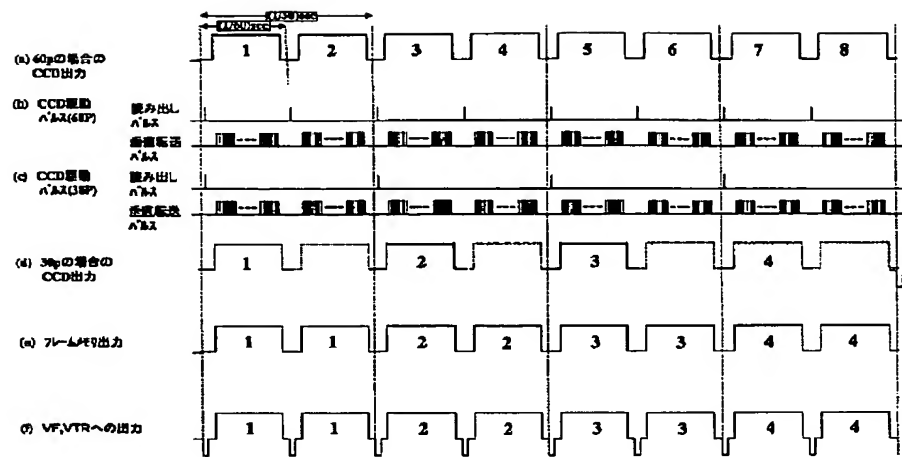
【図 1】



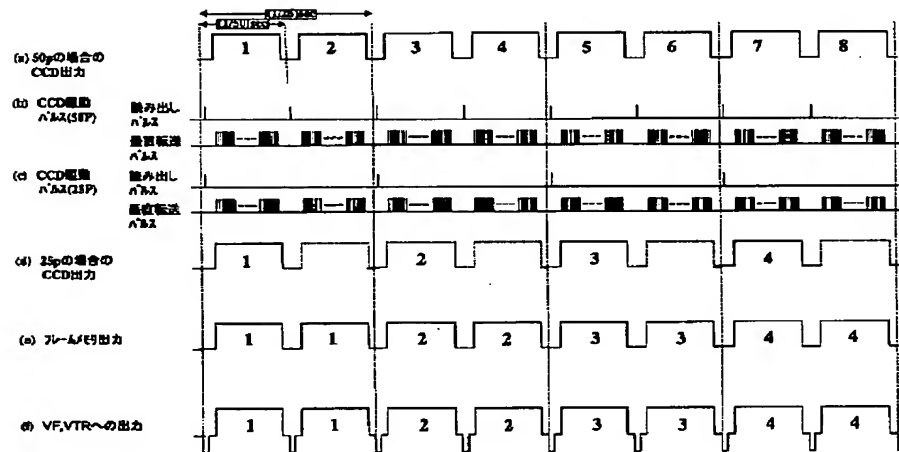
【図 2】



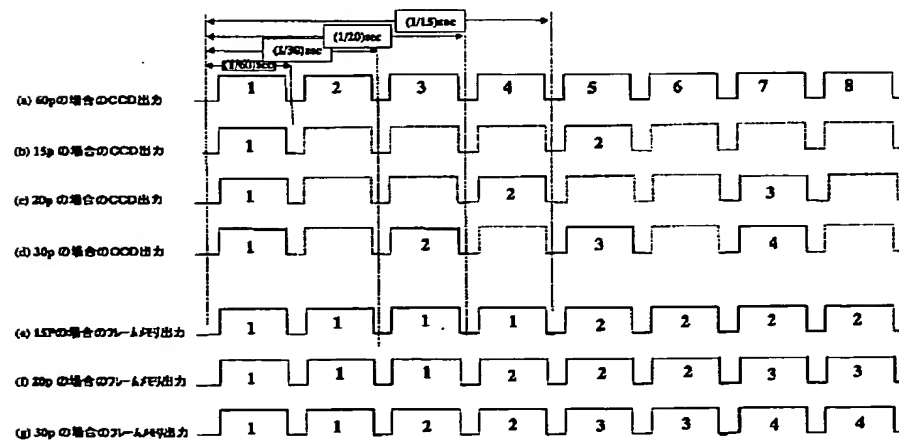
【図3】



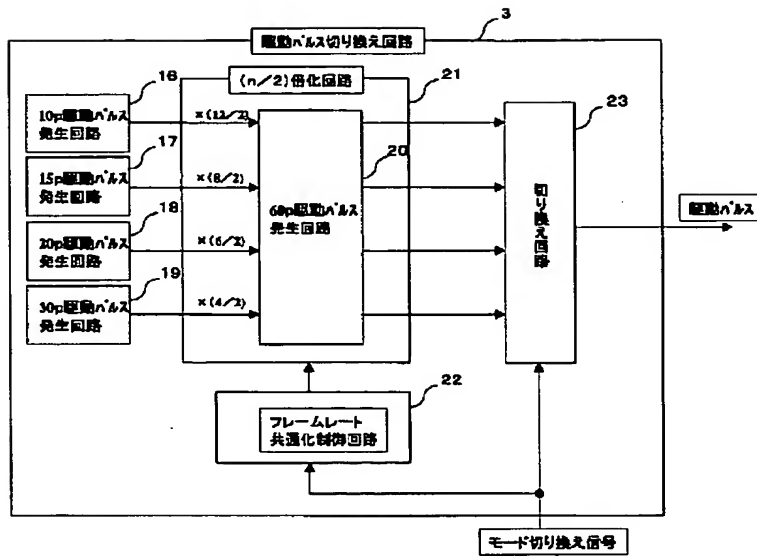
【図4】



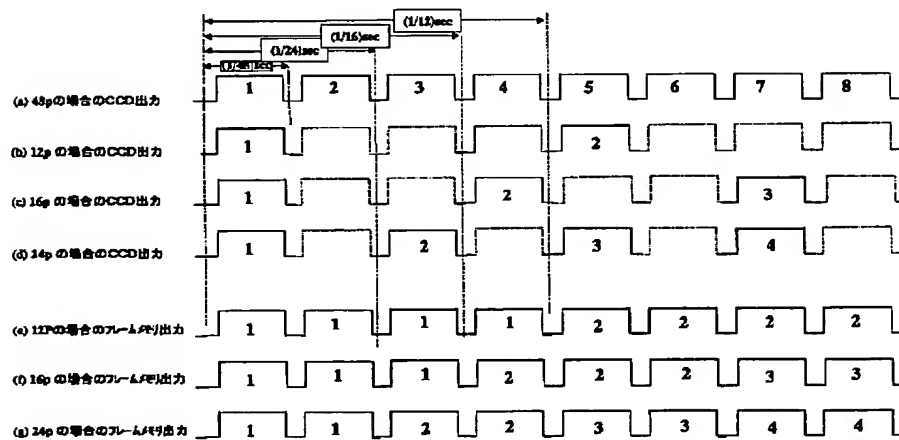
【図6】



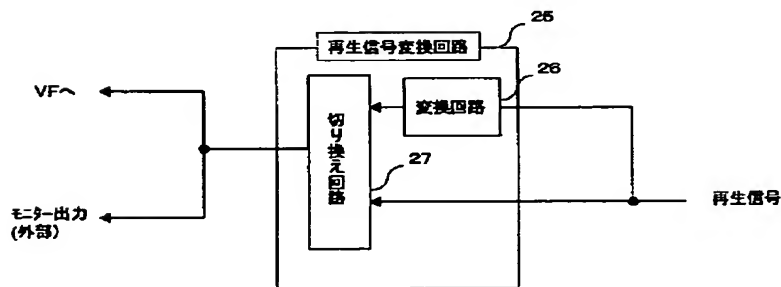
【図5】



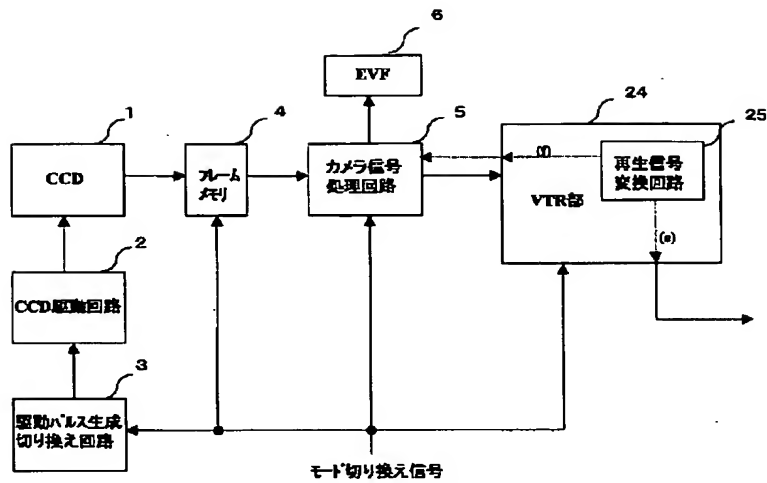
【図7】



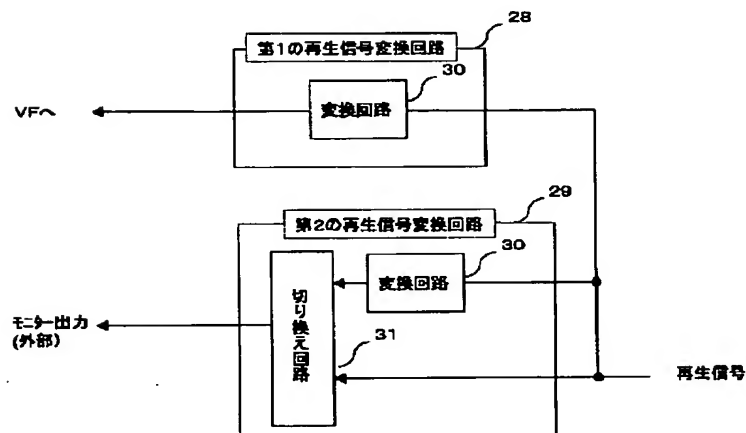
【図9】



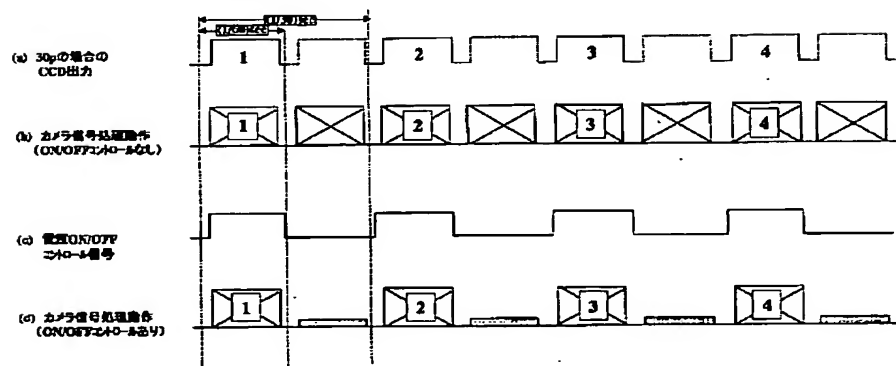
【図8】



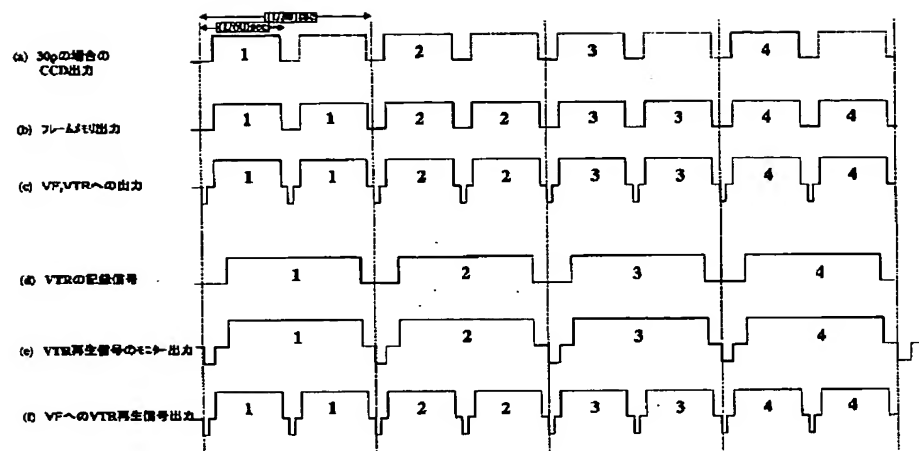
【図10】



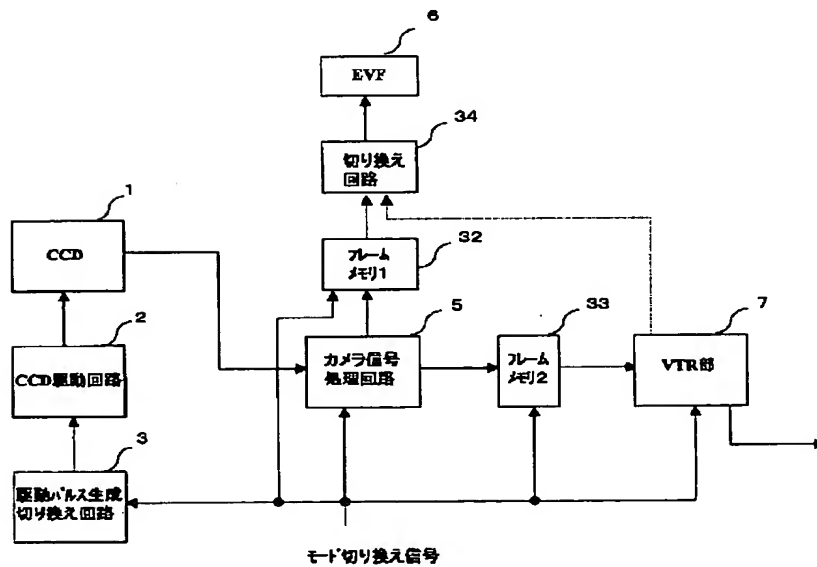
【図15】



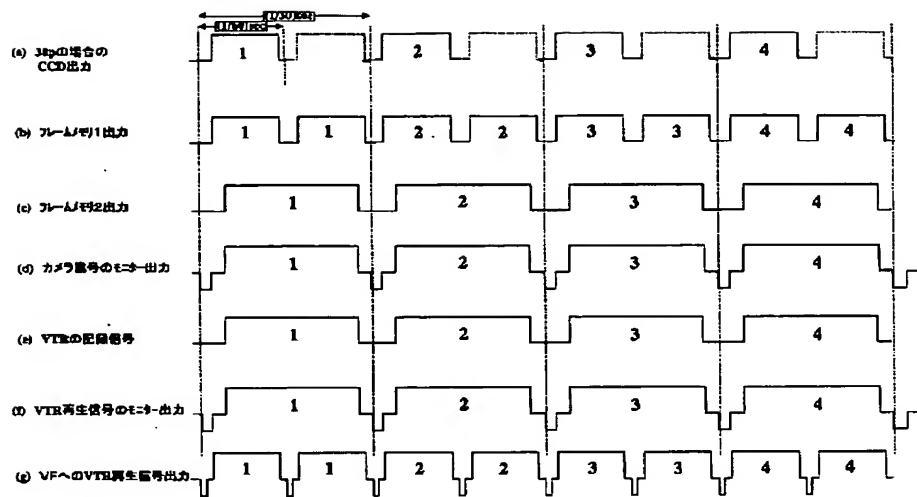
【図11】



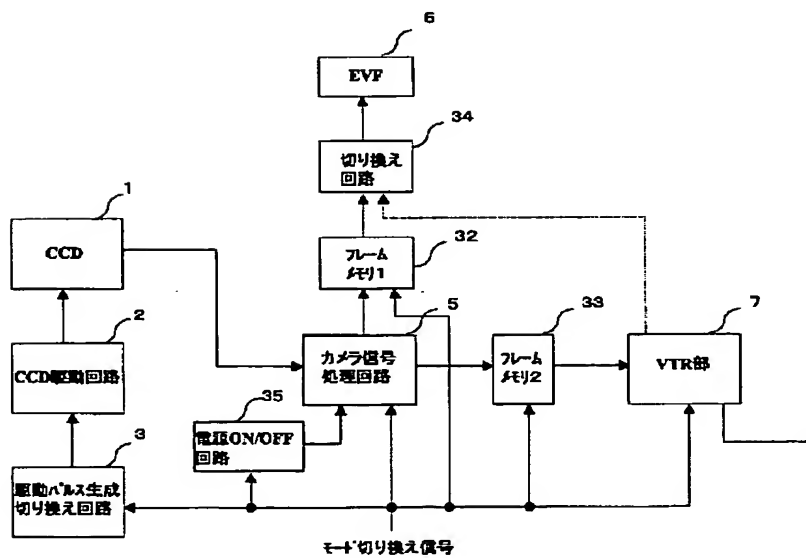
【図12】



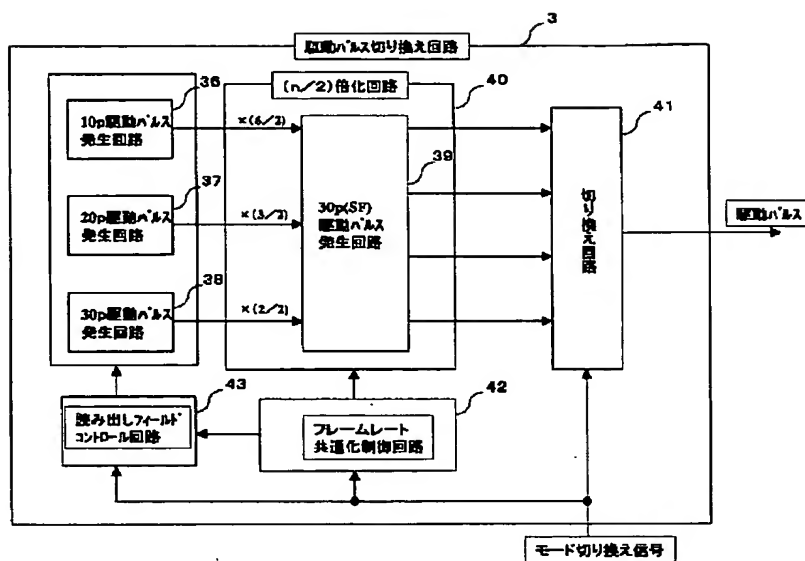
【図13】



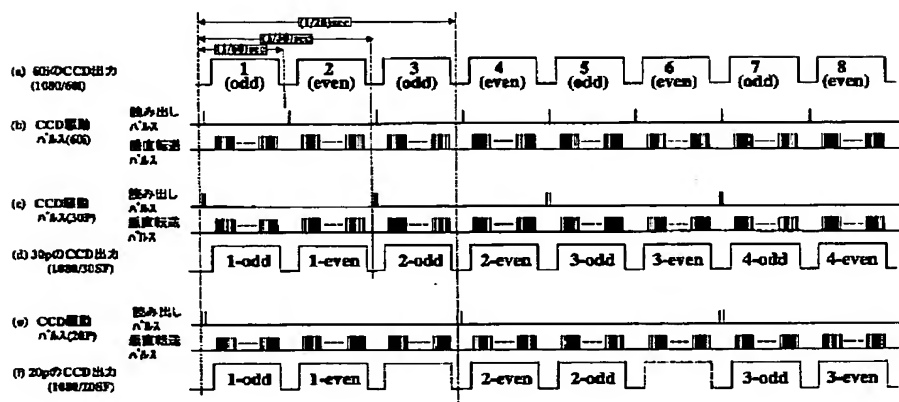
【図14】



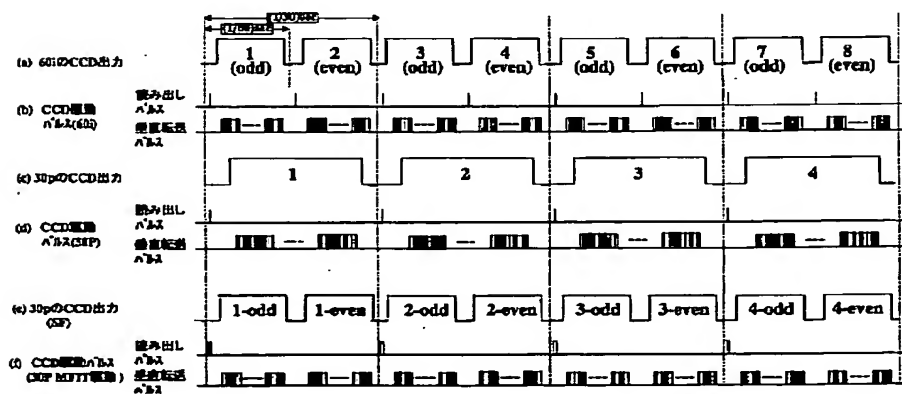
【図 16】



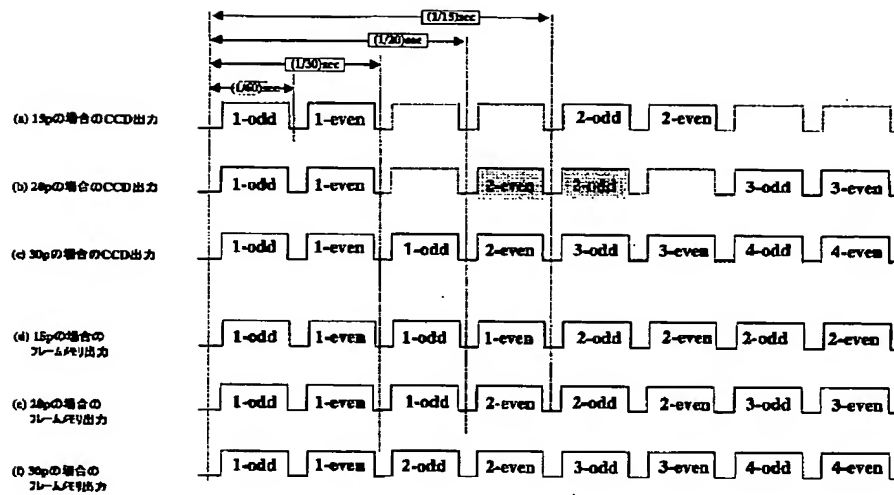
【図 17】



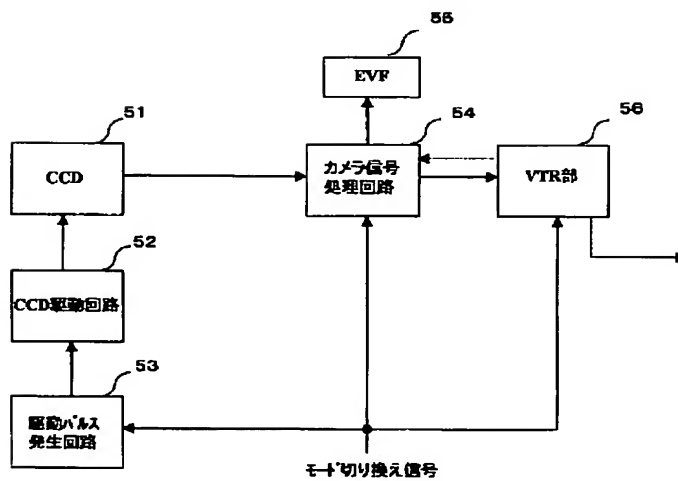
【図20】



【図18】



【図19】



フロントページの続き

(72)発明者 福島 保
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 西川 彰治
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5C018 FA02 FA03 FB03 FB09
5C022 AB31 AB68 AC03 AC42 AC69
AC79
5C024 CY14 DX02 GY01 HX02 HX37
HX50 HX58 JX42